

PAT-NO: JP02004119649A

DOCUMENT-IDENTIFIER: JP 2004119649 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING
METHOD

PUBN-DATE: April 15, 2004

INVENTOR-INFORMATION:

NAME

CHO, AKIMI

SATAKE, HIDEKI

COUNTRY

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP2002280292

APPL-DATE: September 26, 2002

INT-CL (IPC): H01L029/78, H01L021/316

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device employing a single crystal high dielectric insulating film for a gate insulating film and capable of suppressing the gate leak current, and to provide a manufacturing method of the same.

SOLUTION: The semiconductor device is provided with a semiconductor substrate, a channel region formed on the surface of the semiconductor substrate, source/drain regions formed on the semiconductor substrate at both sides of the channel region, a gate insulating film formed so as to cover the channel region and a gate electrode formed on the insulating film. The gate

insulating film is formed of a single crystal metal oxide gate
insulating film
formed by the phase separation of a silicate layer or a superlattice
single
crystal insulator film. According to this constitution, a high
quality and
high dielectric insulating film is formed selectively in a channel
region with
a channel length of 10nm or less by utilizing the high temperature
phase
separation phenomenon of a silicate film or the strain superlattice
structure
of an epitaxial film. Consequently, the semiconductor device and the
manufacturing method of the same are obtained with high specific
dielectric
constant, a reduced leak current or an interface state, a high
carrier
mobility, highly minimized structure, high speed, and low power
consumption.

COPYRIGHT: (C) 2004, JPO

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-119649

(P2004-119649A)

(43) 公開日 平成16年4月15日(2004.4.15)

| | | |
|----------------------------|-----------------------|------------|
| (51) Int. Cl. ⁷ | F I | テーマコード(参考) |
| H O 1 L 29/78 | H O 1 L 29/78 3 O 1 G | 5 F 0 5 8 |
| H O 1 L 21/316 | H O 1 L 21/316 C | 5 F 1 4 0 |

審査請求 未請求 請求項の数 7 O L (全 11 頁)

| | | | |
|-----------|------------------------------|-----------|---|
| (21) 出願番号 | 特願2002-280292 (P2002-280292) | (71) 出願人 | 000003078 |
| (22) 出願日 | 平成14年9月26日(2002.9.26) | | 株式会社東芝 |
| | | | 東京都港区芝浦一丁目1番1号 |
| | | (74) 代理人 | 100083161 |
| | | | 弁理士 外川 英明 |
| | | (72) 発明者 | 張 曉美 |
| | | | 神奈川県川崎市幸区小向東芝町1番地 株 |
| | | | 式会社東芝研究開発センター内 |
| | | (72) 発明者 | 佐竹 秀喜 |
| | | | 神奈川県川崎市幸区小向東芝町1番地 株 |
| | | | 式会社東芝研究開発センター内 |
| | | F ターム(参考) | 5F058 BA11 BA20 BC03 BC20 BE02 BF12 BH04 |

最終頁に続く

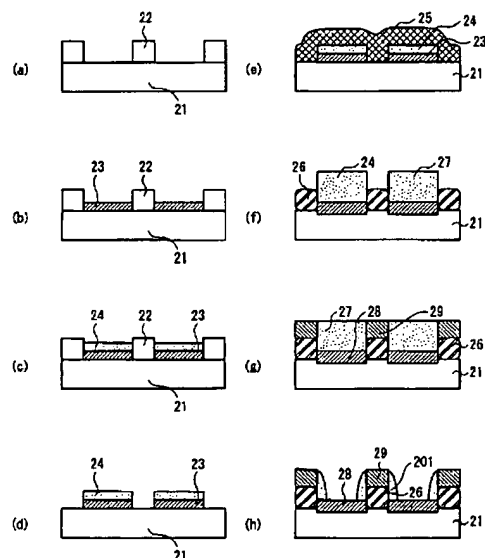
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 単結晶高誘電体絶縁膜をゲート絶縁膜に用い、ゲートリーク電流を抑制できる半導体装置とその製造方法を提供する。

【解決手段】 半導体基板と、この半導体基板の表面に形成されたチャネル領域と、このチャネル領域の両側の前記半導体基板に形成されたソース・ドレイン領域と、前記チャネル領域を覆うように形成されたゲート絶縁膜と、この絶縁膜上に形成されたゲート電極とを有する半導体装置において、前記ゲート絶縁膜がシリケート層を相分離することによって形成された単結晶金属酸化ゲート絶縁膜または超格子単結晶絶縁体膜で形成されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板と、この半導体基板の表面に形成されたチャネル領域と、このチャネル領域の両側の前記半導体基板に形成されたソース・ドレイン領域と、前記チャネル領域を覆うように形成されたゲート絶縁膜と、この絶縁膜上に形成されたゲート電極とを有する半導体装置において、前記ゲート絶縁膜がシリケート層を相分離することによって形成された単結晶金属酸化ゲート絶縁膜であることを特徴とする半導体装置。

【請求項 2】

半導体基板と、この半導体基板の表面に形成されたチャネル領域と、このチャネル領域の両側の前記半導体基板に形成されたソース・ドレイン領域と、前記チャネル領域を覆うように形成されたゲート絶縁膜と、この絶縁膜上に形成されたゲート電極とを有する半導体装置において、前記ゲート絶縁膜は前記半導体基板と格子定数の異なる超格子単結晶ゲート絶縁膜であることを特徴とする半導体装置。

【請求項 3】

半導体基板表面のソース・ドレイン形成予定領域上に金属層とアモルファス絶縁層を積層形成する工程と、このアモルファス絶縁層と前記半導体基板表面のチャネル領域上にシリケート層を形成する工程と、前記チャネル領域上の前記シリケート層を単結晶金属酸化ゲート絶縁膜に結晶化するとともに前記アモルファス絶縁層上のシリケート層をシリコン酸化層とし前記単結晶金属酸化ゲート絶縁膜層と相分離する工程と、前記半導体基板表面にソース・ドレイン領域を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】

前記単結晶金属酸化ゲート絶縁膜をチャネル長が 10 nm 以下の前記チャネル領域に形成することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】

前記単結晶金属酸化ゲート絶縁膜を相分離した工程の後工程を 500℃ 以下の熱処理にて行うことを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 6】

半導体基板表面にソース・ドレイン領域を形成する工程と、このソース・ドレイン領域上にアモルファス絶縁層を形成する工程と、前記半導体基板表面のチャネル領域上にこの半導体基板と格子定数の異なる超格子単結晶ゲート絶縁膜をエピタキシャル成長させる工程と、この超格子単結晶ゲート絶縁膜上にゲート電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 7】

前記超格子単結晶ゲート絶縁膜をモノレイヤーエピタキシャル成長させることを特徴とする請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及び半導体装置の製造方法、特に単結晶高誘電体絶縁膜をゲート絶縁膜に用いた極微細半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】

LSI (Large Scaled Integrated Circuit) の高速化・高集積化はスケーリング則による MIS (Metal-Insulated-Semiconductor) 型 FET の微細化によって進められてきた。これは SiO₂ からなるゲート絶縁膜の膜厚、ゲート長等の MISFET の各部分を長さ方向と横方向の寸法を同時に縮小することで微細化し、素子の特性を正常に保ち、性能を上げることを可能にしてきた。

【0003】

しかしながら、従来から用いられている SiO_2 からなるゲート絶縁膜では、2 nm以下の膜厚領域になると直接トンネル電流が流れ始めるため、ゲートリーク電流の抑制ができず消費電力の増加等の問題を回避できなかった。このため、 SiO_2 よりも誘電率が高い材料をゲート絶縁膜に用いて、 SiO_2 換算膜厚を抑えつつ、物理膜厚を稼いでリーク電流を抑えることが必要となり、高誘電体膜に関する研究が盛んに行われている。

【0004】

しかし、高誘電体膜は SiO_2 膜より高誘電率を持つ優位性を示す一方、 SiO_2 膜では現れなかったディメリットも多く観測されている。例えば、CVD (Chemical Vapor Deposition) 法やエピタキシャル法により単結晶高誘電体膜を形成しようとする場合、以下の問題点が挙げられる。

10

【0005】

高誘電体膜にシリケート膜を使用した場合には、高温アニールによるナノメートルオーダーで金属酸化物結晶相と SiO_2 アモルファス相へ相分離する相分離現象が避けられなかったことである（例えば、非特許文献1参照。）。

【0006】

この高温相分離現象を図4を参照しながら説明する。図4(a)に示すように、Si基板41上に例えばHfシリケート膜42を堆積させ、高温アニールすると、図4(b)のように、Hfシリケート層42はHfO₂結晶相43と SiO_2 アモルファス相44に分離する。

【0007】

20

この相分離現象を避けるために、シリケート膜中のHf元素の含有量を減らす方法が考えられているが、この方法では、誘電率の低下が避けられないため、高誘電率化のメリットも失われる。MISFET作成のプロセス中では、ソース・ドレインの活性化のために、少なくとも一度の高温加熱を経る工程があることから、相分離現象は避けられず、このために、アモルファス膜が選択的に形成され、アモルファス膜中の欠陥によるゲートリーク電流の増大や素子間のバラツキを避けることができなかった。

【0008】

そこで、相分離された結晶誘電膜のみをゲート絶縁膜に用いることが考えられ、相分離される位置をチャンネル領域に合わせて制御する必要があるが、この解決策は現在まで明らかになっていない。

30

【0009】

また、CVD法やエピタキシャル法により単結晶高誘電体膜を形成した場合、シリコン表面に積層された高誘電体膜の特性はシリコン基板界面の平坦性に敏感であり、絶縁膜とシリコン基板間の格子定数の違いから生ずる格子不整合が原因で基板ラフネスが十分に押さえられず、結晶構造の歪や欠陥が生じ、絶縁膜に SiO_2 を用いた場合に比べ、キャリアの高移動度が実現されなかった。

【0010】

また、ソース・ドレイン領域よりも先にゲート絶縁膜が形成された場合、この絶縁膜をパターンニングしてチャンネル領域を形成し、ソース・ドレイン領域の高温アニール工程を経てMISFET素子を形成する過程において、高温プロセスにより多結晶化したり、半導体基板との界面にシリケート層が形成されてしまうことなどが避けられなかった。逆に、ソース・ドレインが先に形成され、ゲート絶縁膜を後で形成する場合は、微細なチャンネル領域に均一なエピタキシャル膜が形成できなかった。

40

【0011】

さらに、10 nm以下のチャンネル長をもつ極微細MISFET装置では、ソース・ドレイン領域のチャンネル方向への拡散が無視できなくなり、チャンネル方向への拡散を避けるために、金属ソース・ドレイン領域を形成し、ソース・ドレイン領域のチャンネル方向への拡散を抑えることが要求される。

【0012】

これらの従来技術における問題の解決は高誘電体のゲート絶縁膜としての信頼性と実用性

50

を左右するカギとなっている。

【0013】

【非特許文献1】

杉田義博、「ハフニウム酸化物及びハフニウムシリケートの評価」第62回応用物理学会
学術講演会 講演予稿集、(2001.9.愛知工業大学)、12p-C-12、p.6
35

【0014】

【発明が解決しようとする課題】

CVD法やエピタキシャル法により単結晶高誘電体膜を形成する場合に、高温アニールに
よりナノメートルオーダーで金属酸化物結晶相と SiO_2 アモルファス相へ分離する相分
離現象によるゲートリーク電流の増大や素子間のバラツキを避けることができないという
問題があった。

10

【0015】

また、シリコン表面に積層された高誘電体膜の特性はシリコン基板界面の平坦性に敏感で
あり、絶縁膜とシリコン基板間の格子定数の違いから生ずる格子不整合が原因で基板ラフ
ネスが十分に押さえられず、結晶構造の歪や欠陥が生じ、絶縁膜に SiO_2 を用いた場合
に比べ、キャリアの高移動度が実現されないという問題があった。

【0016】

本発明は上記事情を考慮してなされたものであって、シリケート膜の高温相分離現象を利用
して、アモルファス絶縁層、例えば、 SiO_2 をマスクとして使い、相分離される位置
を制御し、下地が結晶質のチャネル領域に選択的に高品質な単結晶高誘電体金属酸化ゲ
ート絶縁膜を形成しゲートリーク電流の増大を抑制することのできる半導体装置とその製造
方法を提供することを目的とする。

20

【0017】

また、エピタキシャル法による形成されやすい高誘電体多結晶質膜の単一の単結晶ドメ
インを歪緩和可能な極薄歪超格子を積層することにより比誘電率が大幅に増大した高誘電体
ゲート絶縁膜を備える半導体装置とその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】

本発明の第1の態様による半導体装置は、半導体基板と、この半導体基板の表面に形成さ
れたチャネル領域と、このチャネル領域の両側の半導体基板に形成されたソース・ドレ
イン領域と、チャネル領域を覆うように形成されたゲート絶縁膜と、この絶縁膜上に形成さ
れたゲート電極とを有する半導体装置において、ゲート絶縁膜がシリケート層を相分離す
ることによって形成された単結晶金属酸化ゲート絶縁膜であることを特徴とする。

30

【0019】

また、本発明の第2の態様による半導体装置は、半導体基板と、この半導体基板の表面に
形成されたチャネル領域と、このチャネル領域の両側の前記半導体基板に形成されたソー
ス・ドレイン領域と、チャネル領域を覆うように形成されたゲート絶縁膜と、この絶縁膜
上に形成されたゲート電極とを有する半導体装置において、前記ゲート絶縁膜は前記半導
体基板と格子定数の異なる超格子単結晶ゲート絶縁膜であることを特徴とする。

40

【0020】

また、本発明の第3の態様による半導体装置の製造方法は、半導体基板表面のソース・ド
レイン形成予定領域上に金属層とアモルファス絶縁層を積層形成する工程と、このアモル
ファス絶縁層と前記半導体基板表面のチャネル領域上にシリケート層を形成する工程と、
チャネル領域上の前記シリケート層を単結晶金属酸化ゲート絶縁膜に結晶化するとともに
前記アモルファス絶縁層上のシリケート層をシリコン酸化層とし前記単結晶金属酸化ゲ
ート絶縁膜層と相分離する工程と、半導体基板表面にソース・ドレイン領域を形成する工程
と、ゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする。

【0021】

なお、単結晶金属酸化ゲート絶縁膜はチャネル長が10nm以下のチャネル領域に形成し

50

ても良い。

【0022】

なお、単結晶金属酸化ゲート絶縁膜を相分離した工程の後工程は500℃以下の熱処理にて行う。

【0023】

また、本発明の第4の態様による半導体装置の製造方法は、半導体基板表面にソース・ドレイン領域を形成する工程と、このソース・ドレイン領域上にアモルファス絶縁層を形成する工程と、半導体基板表面のチャンネル領域上にこの半導体基板と格子定数の異なる超格子単結晶ゲート絶縁膜をエピタキシャル成長させる工程と、この超格子単結晶ゲート絶縁膜上にゲート電極を形成する工程を有することを特徴とする。

10

【0024】

なお、超格子単結晶ゲート絶縁膜をモノレイヤーエピタキシャル成長させても良い。

【0025】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態を説明する。

（第1実施形態）

本発明の第1の実施形態によるMISFETの断面図を図1に示す。図1(a)に示すように、原子オーダーで平坦なSi基板11上に、アモルファス絶縁層、例えば、SiO₂マスク12を選択的に形成する。

【0026】

次に、図1(b)に示すように、シリケート層、例えば、Hfシリケート膜13をスパッタ法などにより堆積する。

20

【0027】

次に、図1(c)に示すように、Hfシリケート層が高温アニールにより相分離し、SiO₂マスクのない結晶質Si基板上領域に選択的に結晶化され、HfO₂単結晶相膜14が形成され、SiO₂マスクのある領域の上ではSiO₂アモルファス相15が形成される。

【0028】

このようにして、SiO₂マスクを用いて、相分離する際の結晶相の形成する位置を制御することができ、SiO₂マスクのない部分をチャンネル領域にさせることで、単結晶HfO₂膜をチャンネル領域のみに形成することができる。

30

【0029】

以下、図2を参照しながら本発明の第1の実施形態を詳細に説明する。この例はHfシリケート膜を高温アニールさせ、10nmサイズのチャンネル領域に選択的に形成された単結晶HfO₂膜をゲート絶縁膜に用いることにより製造されたMISFET装置である。

【0030】

断面構造は、原子のオーダーで平坦性を持つ半導体基板の上に、埋め込み金属ソース・ドレイン領域と10nm以下のチャンネル領域に金属シリケート膜から相分離することによって形成された単結晶高誘電体ゲート絶縁膜と金属ゲート電極が設けられ、側壁にSiO₂膜を有する構造になっている。

40

【0031】

図2(a)に示すように、例えば、Si(111)面基板上に選択絶縁膜が形成された基板21は、以下のように準備される。基板21が弗化水素(HF)や弗化アンモニウム(NH₄F)を含む液に浸漬されて、超純粋洗浄や乾燥させた後、スパッタ装置に装着される。

【0032】

この表面処理により、基板21表面のSiO₂膜とSi基板21の異方性エッチングを施し、原子オーダーで平坦な(111)面が得られている。次に、基板21上にSi₃N₄マスク22膜をEB(Electron Beam)リソグラフィーにより形成する。マスクに被覆された部分の幅は10nmであり、開口部は20nmである。

50

【0033】

本実施形態では、基板は(111)単結晶シリコン(Si)、またSi基板上にさらにSiをエピタキシャル成長させた(111)単結晶Siを用いても良い。または(100)面など他の面方位やその他半導体からなる基板の前処理は弗化水素(HF)と弗化アンモニウム(NH₄F)液を用いてウェット処理して原子オーダーで平坦な表面を得るが、ドライ処理による平坦化も可能である。

【0034】

また、EBリソグラフィーにより10nm以下のSi₃N₄マスク領域を形成したが、EBリソグラフィー以外、X線リソグラフィーやその他ナノリソグラフィー技術を用いてもよい。マスク材料はSi₃N₄以外に、SiO₂とエッチングレートが異なるものであればよい。

【0035】

次に、図2(b)に示すように20nm厚みの金属膜、例えば、Ti膜23を例えばシリコン基板上にスパッタ法により開口部にアモルファス相高誘電体膜が積層される。このスパッタ法により形成される金属膜は、Hfシリケート膜でも良い。

【0036】

また、スパッタ法以外にCVD法やレーザアブレーション法などにより形成してもよい。また、Ti膜に変えて、Tiシリサイド膜をシリコン基板上にスパッタ法により形成しても良い。

【0037】

次に、図2(c)に示すように、10nm厚みのSiO₂膜24が例えば抵抗蒸着法により形成される。

【0038】

次に、図2(d)に示すように、ドライエッチングによりマスクSi₃N₄膜22が選択的に除去される。これにより、チャネル開口部が10nmの金属ソース・ドレイン埋め込み構造が形成されている。

【0039】

次に、図2(e)に示すように、例えばスパッタ法によりHfO₂が30%含有のHfシリケートターゲットが用いられ、Arプラズマ雰囲気中で、基板温度を500℃として、10nm厚みのHfシリケート膜25を試料一面に積層する。

【0040】

次に、図2(f)に示すように、窒素(N₂)雰囲気例えば1000℃、30秒間アニールが施され、Hfシリケート膜が10nm程度サイズのHfO₂結晶層とSiO₂アモルファス層に相分離される。相分離する際、下地が単結晶である部分はHfO₂の結晶相が選択的に形成され、アモルファス層である部分はSiO₂アモルファス層が選択的に形成される。

【0041】

従って、下地のSiO₂膜は選択的結晶化のマスクとして使用される。SiO₂膜のない単結晶Si基板21が下地であるチャネル領域にはHfO₂の結晶化が選択的に進行し、10nmサイズのチャネル領域の上にHfO₂の単一な単結晶ドメイン26が選択的に相分離され、もとのHfシリケート膜25よりも誘電率の高い高品質単結晶金属酸化ゲート絶縁膜26が形成される。

【0042】

一方、下地がSiO₂膜24の上ではHfO₂の結晶化ができず、相分離されたSiO₂アモルファス層27が形成され、また、1000℃のアニールによりソース・ドレイン領域に堆積されていたTi金属膜23がSiと反応し、TiシリサイドのTiSi₂28であるソース・ドレイン領域となり、ゲート絶縁膜の高温アニールと同じ熱工程でソース・ドレインの活性化が施され、その後のMISFET装置作製のプロセスにおいて500℃以上の熱工程を経ることはない。

【0043】

また、シリケート膜には、Al、Sn、Sc、Ti、Sr、Y、Zr、Ba、La、Gd、Taの中の少なくとも一つの金属元素が含まれていればよい。

【0044】

ここでは、シリケート層を高温相分離する際、雰囲気は窒素雰囲気、1000℃、30秒で行っているが、窒素以外に、必要に応じてHe雰囲気などのガス雰囲気、または数種類混合ガスの雰囲気により行うこともできる。シリケートスパッタターゲットの組成比はHfO₂が30%含有、またはチャンネルサイズに応じてチャンネル領域に単結晶が形成できるように、5%~70%まで制御可能である。尚、ZrO₂などのナノクリスタル相が得られるZr化合物、例えばZr(OH)₂やZr(OH)₄のターゲットを用いてもよい。

10

【0045】

また、ソース・ドレインはまずTi金属を蒸着法により形成し、高温アニールによりTiシリサイド膜を形成したが、Tiなどの金属をイオン注入しその後高温活性化により形成してもよい。金属材料はTi以外にRu、Co、Mg、Taなどの金属を用いてもよい。

【0046】

次に、図2(g)に示すように、ゲート電極となる10nm厚みのTiSi₂膜29をスパッタ法により堆積する。

【0047】

最後に、図2(h)に示すように、例えばリフトオフ法によりSiO₂膜27を側壁となるSiO₂部分201だけを残して除去される。

20

【0048】

このように本実施例によれば、従来のシリケートゲート絶縁膜を用いたMISFETと比較して極微細なチャンネル領域に誘電率のより高い高品質な単結晶金属酸化ゲート絶縁膜を形成することができ、シリケート絶縁膜の高温相分離現象を利用して、従来、技術的に困難であったHfO₂単結晶ゲート絶縁膜を用いた半導体装置とその製造方法が実現できる。

(第2実施形態)

次に、本発明の第2実施形態による半導体装置とその製造方法を図3に示す。

【0049】

図3(a)、(b)は図2(a)、(b)と同様な工程であり、Si基板の上にEBリソグラフィによりSi₃N₄マスク32が形成され、Ti金属33が例えばスパッタ法により開口部に堆積される。

30

【0050】

次に、図3(c)に示すように、例えば700℃、30秒間ランプアニールが施され、TiSi₂シリサイドソース・ドレイン領域34が形成され、さらにSiO₂マスク膜35が抵抗蒸着法により堆積される。

【0051】

次に、図3(d)に示すように、Si₃N₄マスク膜32がSiO₂膜35に対して選択的にエッチングされる。次に、図3(d)により形成された基板がMBE真空チャンバーに装着され、例えばN₂ガス中で400℃まで加熱され、試料表面の残留水分やガスが蒸発される。

40

【0052】

次に、図3(e)に示すように、Zr金属ソースと酸素ガスが導入され、厚み2nmの単結晶相ZrO₂膜36が5nmサイズのチャンネル領域にモノレヤーずつエピタキシャル成長される。この工程では、実施例1と同じように、SiO₂アモルファスマスク35領域の上では、結晶成長が不可能であるため、SiO₂のない、Si単結晶下地のチャンネル開口部に選択的にZrO₂の5nmサイズの単結晶超格子構造36が形成される。この際、ZrO₂結晶構造の格子定数は下地Siとの格子不整合率が-5.4%であり、非常に大きいため、格子不整合を緩和するため、超格子薄膜全体が引っ張られ、比誘電率値はZrO₂バルクの約2倍の25に増大されている。

50

【0053】

次に、図3(f)に示すように、 ZrO_2 膜36の上にゲート電極 $TiSi_2$ 37が形成される。

【0054】

次に、図3(g)に示すように側壁 SiO_2 領域38を残して SiO_2 マスク領域35が除去される。

【0055】

このように本実施例によれば、チャンネル領域に歪超格子ゲート絶縁膜を選択的に形成することができる。また、 ZrO_2 膜のバンドギャップは高誘電率金属酸化膜の中ではかなり高いものであり、厚み2nmの膜でも十分にゲート絶縁膜として機能する上、歪超格子効果により比誘電率が倍増されることから、高誘電率でかつリーク電流の少ない高品質単結晶エピタキシャル膜が実現される。

10

【0056】

さらに単結晶Si基板とエピタキシャル成長された単結晶高誘電体ゲート絶縁膜の界面において、界面準位が少なく、キャリア移動度も上昇されることにより、高誘電体ゲート絶縁膜を有し、チャンネル寸法が10nm以下、界面準位が少なく、高移動度の高性能のMISFETが実現される。

【0057】

また、ここでは、MBE法によりエピタキシャル膜が形成されているが、MOCVDなどモノレーヤーが形成できる手法であればよい。また、高誘電体膜は ZrO_2 を用いているが、ZrのかわりにHf、Pb、La、Ce、Ti、Sr、Mg、Taなどの金属絶縁膜、またはこれらの元素の組み合わせによる多元素からなるSi基板と格子定数の異なる高誘電体エピタキシャル酸化膜を用いてもよい。

20

【0058】

ゲート電極は結晶性を有する導電性薄膜例えばTiシリサイドをMBE法などにより積層する。またはCoシリサイドなども考えられる。

【0059】

【発明の効果】

本発明に係る単結晶金属酸化膜をゲート絶縁膜に用いたMISFETにおいては、シリケート膜の高温相分離現象やエピタキシャル膜の歪超格子構造を利用し、チャンネル長が10nm以下のチャンネル領域に選択的に高品質な高誘電体絶縁膜を形成でき、比誘電率が高く、リーク電流や界面準位が少なく、キャリア移動度の高く、超微細化、高速かつ低消費電力な半導体装置とその製造方法を提供することができる。

30

【図面の簡単な説明】

【図1】本発明における選択的に相分離する位置を制御する概念図。

【図2】本発明の第1実施形態における工程および構造図を示す断面図。

【図3】本発明の第2実施形態における工程および構造図を示す断面図。

【図4】従来の金属シリケート膜が高温相分離される現象の概念図。

【符号の説明】

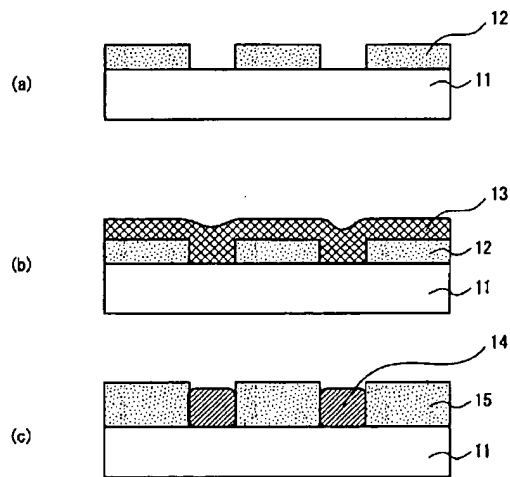
- 11… Si基板
- 12… SiO_2 マスク
- 13… Hfシリケート膜
- 14… HfO_2 単結晶相膜
- 15… SiO_2 アモルファス相膜
- 21… Si基板
- 22… Si_3N_4 マスク膜
- 23… Ti金属薄膜
- 24… SiO_2 堆積膜
- 25… Hfシリケート膜
- 26… HfO_2 単結晶ゲート絶縁膜

40

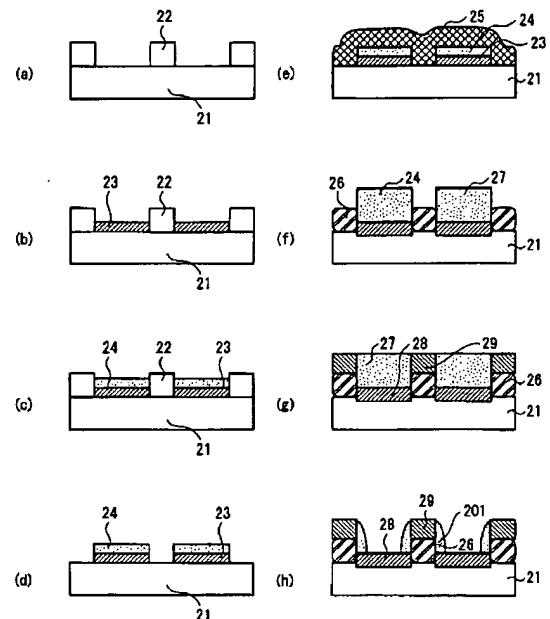
50

- 27 ... SiO_2 アモルファス相膜
- 28 ... ソース・ドレイン領域 TiSi_2 シリサイド膜
- 29 ... TiSi_2 ゲート電極
- 201 ... 側壁 SiO_2 膜
- 32 ... マスク SiO_2 膜
- 35 ... ソース・ドレイン領域 TiSi_2 シリサイド膜
- 36 ... ZrO_2 エピタキシャルゲート絶縁膜
- 37 ... TiSi_2 ゲート電極層
- 38 ... 側壁 SiO_2 膜
- 41 ... Si 基板
- 42 ... Hf シリケート膜
- 43 ... HfO_2 結晶相膜
- 44 ... SiO_2 アモルファス相膜

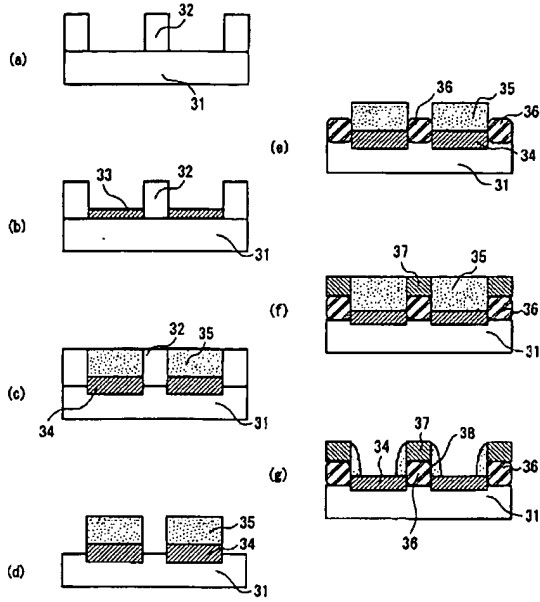
【図1】



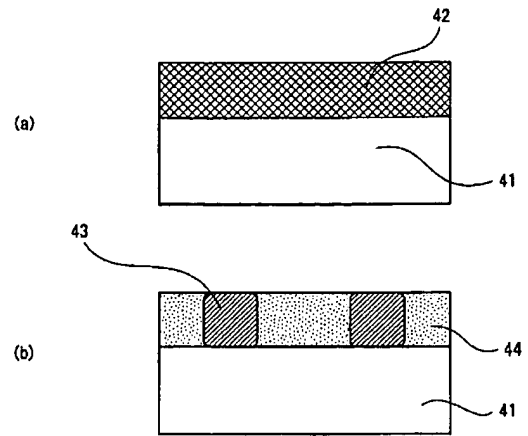
【図2】



【図 3】



【図 4】



フロントページの続き

F ターム(参考) 5F140 AA01 AA02 AA08 AA24 AA39 BA01 BA20 BC12 BD11 BD12
BE03 BE05 BE09 BE10 BF01 BF08 BG03 BG08 BG12 BG27
BG30 BJ01 BJ08 BK29 BK30 BK32 BK34